

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant(s): KOYAMA, Eiji

Application No.:

Group:

Filed: June 20, 2001

Examiner:

For: SEMICONDUCTOR INTEGRATED CIRCUIT



L E T T E R

Assistant Commissioner for Patents  
Box Patent Application  
Washington, D.C. 20231

June 20, 2001  
0020-4878P

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2000-184736	06/20/00

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By:

  
DONALD J. DALEY

Reg. No. 34,313

P. O. Box 747

Falls Church, Virginia 22040-0747

Attachment  
(703) 205-8000  
/tf

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

KOYAMA, Eiji  
6-20-01  
BSKB  
(703) 205  
20-4878  
10F  
JP903 P.S. PRO  
09/883990  
06/20/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2000年 6月20日

出 願 番 号  
Application Number:

特願2000-184736

出 願 人  
Applicant(s):

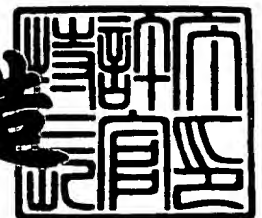
シャープ株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 4月27日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3035716

【書類名】 特許願

【整理番号】 172108

【提出日】 平成12年 6月20日

【あて先】 特許庁長官殿

【国際特許分類】 H03L 7/00  
G06F 1/10

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 小山 英嗣

【特許出願人】

【識別番号】 000005049

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 蓀

【選任した代理人】

【識別番号】 100084146

【弁理士】

【氏名又は名称】 山崎 宏

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0003090

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 第 1 クロック信号に基づいて動作するアナログ回路と、第 1 クロック信号と同じ周期の第 2 クロック信号に基づいて動作するデジタル回路とが、同一半導体基板上に形成された半導体集積回路において、

上記第 1 クロック信号および第 2 クロック信号の何れか一方の位相を他方の位相に対して異なる値だけ相対的にシフトする複数の位相シフト回路と、

上記アナログ回路で発生するノイズ成分を測定するノイズ測定回路を上記半導体基板上に備えたことを特徴とする半導体集積回路。

【請求項 2】 請求項 1 に記載の半導体集積回路において、

上記複数の位相シフト回路を順次入れ換えて選択する選択制御手段と、

上記夫々の位相シフト回路が選択された際に測定された上記ノイズ成分のうちの最小値を求め、上記ノイズ成分が最小値を呈した際に選択されていた位相シフト回路のみを固定的に選択して位相シフト値を設定する位相シフト設定手段を上記半導体基板上に備えたことを特徴とする半導体集積回路。

【請求項 3】 請求項 2 に記載の半導体集積回路において、

上記複数の位相シフト回路の個数は  $k$  ( $k$  : 正の整数) 個であり、

上記ノイズ測定回路は、上記位相シフト回路の個数  $k$  に対応して上記ノイズ成分を  $k$  回の測定するようになっていることを特徴とする半導体集積回路。

【請求項 4】 請求項 2 または請求項 3 に記載の半導体集積回路において、

電源が投入されてから第 1 所定時間が経過すると上記選択制御手段の動作を開始させる動作開始制御手段を備えたことを特徴とする半導体集積回路。

【請求項 5】 請求項 4 に記載の半導体集積回路において、

上記選択制御手段による上記位相シフト回路の順次選択が終了してから第 2 所定時間を計時し、上記第 2 所定時間が経過すると上記選択制御手段を動作させる計時手段を備えて、

上記位相シフト回路の順次選択を上記第 2 所定時間の間隔で繰り返し行うことを特徴とする半導体集積回路。

【請求項 6】 請求項 2 乃至請求項 5 の何れか一つに記載の半導体集積回路において、

上記アナログ回路は固体撮像素子アレイであり、

上記ノイズ測定回路によって測定されるノイズ成分は、上記固体撮像素子アレイから出力される 1 水平有効期間中の遮光された領域の映像信号に重畳されたノイズ成分であり、

上記選択制御手段による上記位相シフト回路の順次選択は、垂直期間に同期して行われることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、デジタル回路とアナログ回路とを同一半導体基板上に形成したデジタル・アナログ混載型の半導体集積回路に関し、特にデジタル信号処理回路や A/D コンバータを内蔵した微小アナログ信号を扱う CMOS (相補型金属酸化膜半導体) 型固体撮像装置等のデジタル・アナログ混載型の半導体集積回路に関する。

【0002】

【従来の技術】

半導体集積回路の高集積化に伴って、システムを同一基板上に形成するシステムオンチップ化が進められ、従来は別チップで実現することが多かったデジタル回路とアナログ回路とを同一基板上に形成するデジタル・アナログ混載型の半導体集積回路も使用されるようになってきている。

【0003】

このようなデジタル・アナログ混載型の半導体集積回路においては、デジタル回路が動作する際に発生するデジタル雑音が、電源やグランドや基板等を介してアナログ回路の動作に悪影響を与えることが問題となっている。

【0004】

これは、主に以下のような理由による。すなわち、デジタル回路には、高集積化および低消費電力化のために、一般的には CMOS 回路が用いられている。

そして、このCMOS回路においては、その出力が反転する際に負荷容量を充放電する充放電電流や、素子内部で電源からグランドへ流れる貫通電流が、ごく短期間だけ流れる。そのために、デジタル回路内部ではクロックのレベルが変化した直後に大きな電源電流が流れ、その後クロックのレベルが変化するまでは殆ど電流は流れない。

## 【 0 0 0 5 】

このような急激な電源電流の変化によって、電源電圧が変動したり、トランジスタの拡散層と半導体基板との間に形成される接合容量がトランジスタの動作に応じてチャージ/デスチャージされ、これらの変動が半導体基板を介してアナログ回路の動作に悪影響を及ぼし、ノイズとなって現れるのである。

## 【 0 0 0 6 】

図6は、デジタル・アナログ混載型の半導体集積回路として代表的な従来のA/Dコンバータ内蔵CMOS型固体撮像装置のブロック図である。図中、タイミングジェネレータ1は、センサ2を駆動する各種のセンサ駆動パルスが発生すると同時に、A/Dコンバータ3駆動用の基本クロックADCKをも発生する。このような集積回路の場合には、上述したように、A/Dコンバータ3の動作によって発生するノイズ成分が、センサ2の微小アナログ信号成分に混入するケースが多いのである。

## 【 0 0 0 7 】

その場合の対策としては、例えば配線パターンやピン配置等を工夫する方法の他に、アナログ回路とデジタル回路とを動作させるためのクロック信号の位相を相対的にシフトさせる方法がある。ところが、クロック位相をシフトさせようとしても、実際には装置内部の配線抵抗や浮遊容量等によってクロック位相のシフト量が変わるため、最適なクロック位相差を設計前に予測することは非常に困難である。

## 【 0 0 0 8 】

そこで、このような問題に対処するために、特開平6-283999号公報に開示されているような半導体集積回路装置が提案されている。この半導体集積回路装置においては、予め、幾通りかのクロック位相差を発生させるクロック位相

差発生回路を用意しておく。そして、試作段階で、正弦波発生器とスペクトルアナライザとを接続して、アナログ回路のノイズが最も少なくなるクロック位相差を発生するクロック位相差発生回路を選択する。そして、量産段階においては、正弦波発生器とスペクトルアナライザとを外し、試作段階でのマスク構成に対して1枚のマスクのみを変更して、上記選択されたクロック位相差発生回路のみを活性化させるように配線パターンを固定するのである。

【0009】

【発明が解決しようとする課題】

しかしながら、上記従来の半導体集積回路装置においては、以下のような問題がある。すなわち、一旦あるクロック位相差発生回路を選択してしまえば、製造段階において、そのクロック位相差発生回路のみが活性化するように配線パターンを固定してしまうため、その後クロック位相差が変更されることはないのである。ところが、集積回路を製造する過程のうえで、当然ながらトランジスタ特性あるいは抵抗値の製造バラツキ等が発生し、設計上では同じクロック位相差発生回路であったとしても、必ずしも常に一定のクロック位相差を発生するとは限らない。寧ろ、実際には同じクロック位相差を発生する方がまれである。

【0010】

したがって、上述のような半導体集積回路装置においては、必ずしも、常時、ノイズ成分が最も少なくなるようなクロック位相差発生回路を選択していることにはならないのである。

【0011】

そこで、この発明の目的は、トランジスタ特性や抵抗値等に製造バラツキが発生しても、常にアナログ回路のノイズ成分が最小になるようにデジタル回路へのクロック位相を調整することができる半導体集積回路を提供することにある。

【0012】

【課題を解決するための手段】

上記目的を達成するため、この発明は、第1クロック信号に基づいて動作するアナログ回路と、第1クロック信号と同じ周期の第2クロック信号に基づいて動作するデジタル回路とが、同一半導体基板上に形成された半導体集積回路におい



て、上記第1クロック信号および第2クロック信号の何れか一方の位相を他方の位相に対して異なる値だけ相対的にシフトする複数の位相シフト回路と、上記アナログ回路で発生するノイズ成分を測定するノイズ測定回路を上記半導体基板上に備えたことを特徴としている。

## 【0013】

上記構成によれば、夫々の位相シフト回路が選択された際にアナログ回路で発生したノイズ成分をノイズ測定回路で測定することによって、上記ノイズ成分を最小値にするような位相シフト回路を選定することが可能になる。したがって、製造段階で、各半導体集積回路毎にトランジスタ特性や抵抗値にバラツキが生じても、上記選定された位相シフト回路を固定的に選択することによって、以後、上記アナログ回路で発生するノイズ成分が最小に抑えられる。

## 【0014】

また、この発明の半導体集積回路は、上記複数の位相シフト回路を順次入れ換えて選択する選択制御手段と、上記夫々の位相シフト回路が選択された際に測定された上記ノイズ成分のうちの最小値を求め、上記ノイズ成分が最小値を呈した際に選択されていた位相シフト回路のみを固定的に選択して位相シフト値を設定する位相シフト設定手段を上記半導体基板上に備えることが望ましい。

## 【0015】

上記構成によれば、選択制御手段および位相シフト設定手段の動作によって、複数の位相シフト回路の中から上記アナログ回路で発生するノイズ成分を最小にする位相シフト回路が求められ、当該位相シフト回路のみが固定的に選択されて以後の位相シフト値が設定される。したがって、製造段階で、各半導体集積回路毎にトランジスタ特性や抵抗値にバラツキが生じても、以後、上記アナログ回路で発生するノイズ成分が最小に抑えられる。

## 【0016】

また、この発明の半導体集積回路は、上記位相シフト回路の個数を $k$  ( $k$ : 正の整数)個とし、上記ノイズ測定回路を、上記位相シフト回路の個数 $k$ に対応して上記ノイズ成分を $k$ 回の測定するように成すことが望ましい。

## 【0017】

上記構成によれば、上記複数の位相シフト回路の順次選択と上記ノイズ成分の測定値読み出しとを、同期させることが可能になる。したがって、上記位相シフト回路の順次選択を行う選択制御手段によって、上記ノイズ測定回路による測定結果の読み出しを制御することが可能になる。

## 【 0 0 1 8 】

また、この発明の半導体集積回路は、電源が投入されてから第 1 所定時間が経過すると上記選択制御手段の動作を開始させる動作開始制御手段を備えることが望ましい。

## 【 0 0 1 9 】

上記構成によれば、上記複数の位相シフト回路の順次選択が、動作開始制御手段によって、電源投入後に安定動作になるための第 1 所定時間が経過した後に開始される。したがって、上記アナログ回路で発生するノイズ成分を最小にする位相シフト回路が、安定して選定される。

## 【 0 0 2 0 】

また、この発明の半導体集積回路は、上記選択制御手段による上記位相シフト回路の順次選択が終了してから第 2 所定時間を計時し、上記第 2 所定時間が経過すると上記選択制御手段を動作させる計時手段を備えて、上記位相シフト回路の順次選択を上記第 2 所定時間の間隔で繰り返し行うことが望ましい。

## 【 0 0 2 1 】

上記構成によれば、上記ノイズ成分を最小にする位相シフト値の設定が、第 2 所定時間の間隔で繰り返し行われる。したがって、動作期間中に、温度上昇や電源電圧の変動によって、上記電源が投入されて第 1 所定時間が経過した際に設定された位相シフト値にずれが生じて、常に、上記アナログ回路で発生するノイズ成分が最小に抑えられる。

## 【 0 0 2 2 】

また、この発明の半導体集積回路は、上記アナログ回路を固体撮像素子アレイとし、上記ノイズ測定回路によって測定されるノイズ成分を、上記固体撮像素子アレイから出力される 1 水平有効期間中の遮光された領域の映像信号に重畳されたノイズ成分とし、上記選択制御手段による上記位相シフト回路の順次選択を、

垂直期間に同期して行うことが望ましい。

【 0 0 2 3 】

上記構成によれば、垂直同期信号によって上記選択制御手段が動作されて、位相シフト回路の順次選択および遮光された領域の映像信号に重畳されたノイズ成分の測定が行われる。そして、上記位相シフト設定手段によって、上記ノイズ成分が最小になるように位相シフト値が設定される。したがって、製造段階で、各半導体集積回路毎にトランジスタ特性や抵抗値にバラツキが生じて、以後、固体撮像素子アレイから出力される映像信号に重畳されたノイズ成分が最小に抑えられる。

【 0 0 2 4 】

【発明の実施の形態】

以下、この発明を図示の実施の形態により詳細に説明する。

<第 1 実施の形態>

図 1 は、本実施の形態の半導体集積回路におけるブロック図である。本半導体集積回路 1 1 は、A/Dコンバータ内蔵CMOS型固体撮像装置の集積回路であり、タイミングジェネレータ 1 2 から出力されるA/Dコンバータ 1 4 駆動用の基本クロック信号ADCK1の位相をA/Dコンバータ 1 4 の出力信号に含まれるノイズ成分を最小化する位相にシフトしたクロック信号ADCK2を発生するクロック発生回路 1 3 を内蔵している。そして、タイミングジェネレータ 1 2 からのセンサ駆動パルス信号(基本クロック信号ADCK1と同じ周期)に従って駆動されるセンサ 1 5 の各固体撮像素子からのアナログ映像信号を、A/Dコンバータ 1 4 によってA/D変換してデジタル映像信号を出力するのである。

【 0 0 2 5 】

すなわち、本実施の形態においては、上記第 1 クロック信号をセンサ駆動パルス信号で構成し、上記アナログ回路をセンサ 1 5 で構成し、上記第 2 クロック信号を基本クロック信号ADCK1で構成し、上記デジタル回路をA/Dコンバータ 1 4 で構成するのである。

【 0 0 2 6 】

図 3 は、上記A/Dコンバータ 1 4 から出力されるデジタル映像信号のタイ

ミング図である。図 3 (a)は、垂直同期パルス信号VDであり、1画面の期間であるV期間を表すパルス信号である。尚、H期間は1水平期間を表す。図 3 (b)は、A/Dコンバータ14からのデジタル映像信号を示す。このデジタル映像信号には映像信号成分とブランキング信号成分が含まれる。そのうち、映像信号成分の中には一般には遮光された領域の映像信号成分(以下、遮光映像信号成分と略称する)が含まれているため、ノイズ成分の評価としてはこの遮光映像信号成分のみを扱うのが適当である。図 3 (c)は、ウインドウパルス信号WINDであり、通常の映像信号成分におけるH期間の端に位置する遮光映像信号成分を抜き出すための窓掛期間を設定する。ウインドウパルス信号WINDによって抜き出された遮光映像信号成分は本来一定値の筈であるが、実際にはノイズ成分が重畳されて種々の値を持つ。

#### 【 0 0 2 7 】

図 2 は、図 1 におけるクロック発生回路 1 3 の具体的構成の一例を示すブロック図である。このクロック発生回路 1 3 は、上記基本クロック信号ADCK1の入力端子とクロック信号ADCK2の出力端子との間に並列に接続された第 1 ～第 k クロック位相差発生回路 1 6 ～1 8 と、k カウンタ 1 9 と、最大値保持回路 2 0 と、最小値保持回路 2 1 と、第 1 ～第 k レジスタ 2 2 ～2 4 と、比較回路 2 5 と、選択回路 2 6 で概略構成される。また、最大値保持回路 2 0 と最小値保持回路 2 1 と減算器 3 0 とで、ノイズ測定回路 2 7 を構成している。

#### 【 0 0 2 8 】

上記構成のクロック発生回路 1 3 は、次のように動作する。まず、電源が投入されると、スタート回路 2 8 は、動作安定のために所定時間T1経過した後にk カウンタ 1 9 の動作を開始させる。通常、所定時間T1は、集積回路の設計内容にもよるが、数msecから数百msecの程度に選ばれることが一般的である。k カウンタ 1 9 は、k 個の垂直同期パルスVDをカウントアップして終了する。その際に、例えば、2 番目の垂直同期パルスVDをカウントした場合には、第 2 クロック位相差発生回路 1 7 とクロック信号ADCK2の出力端子との間に介設された 2 番目のスイッチ 2 9 をオンして、第 2 クロック位相差発生回路 1 7 を選択する。それと同時に、減算器 3 0 と各レジスタ 2 2 ～2 4 との間に介設されたスイッチ群

31の2番目のスイッチ32をオンして、減算器30からの差分値E2を第2レジスタ23に書き込ませる。その場合に、減算器30には、ウインドウパルス信号WINDのレベルが「H」の間だけオンするスイッチ33によって取り込まれた上記遮光映像信号成分の最大値(最大値保持回路20の保持内容)と最小値(最小値保持回路21の保持内容)とが入力される。したがって、1V期間中における遮光映像信号成分の最大値と最小値との差分値Eが、上記ノイズ成分として第2レジスタ23に書き込まれるのである。ここで、「k」は、予め用意されているクロック位相差発生回路16～18の総数であり、先に述べた特開平6-283999号公報に種々の回路が提案されている。

## 【0029】

そして、1V期間の終了時には垂直同期パルスVDによってkカウンタ19のカウンタ値がアップするので、次の1V期間は、第3クロック位相差発生回路を選択すると同時に、最大値保持回路20および最小値保持回路21の内容をリセットする。そして、ウインドウパルス信号WINDに基づいて上記遮光映像信号成分のみを取り込み、その最大値と最小値とを保持し、その差分値E3を第3レジスタに書き込む。

## 【0030】

以後、この動作が繰り返されて、kV期間の終了時には、kカウンタ19からのカウンタ終了パルスCFによって比較回路25および選択回路26の動作が開始される。そして、比較回路25によって、差分値E1～Ekのうちの最小値(ノイズ成分が最小)を呈する差分値Ejの番号j(=1,...,k)が求められて、選択回路26に出力される。そうすると、選択回路26は、第1～第kクロック位相差発生回路16～18とクロックADCK2の出力端子との間に介設されたk個のスイッチ群34のうちj番目のスイッチのみをオンし、他の総てのスイッチをオフにして、第j位相差発生回路を常に選択するように動作するのである。

## 【0031】

こうすることによって、製造上において各A/Dコンバータ内蔵CMOS型固体撮像装置毎にトランジスタ特性のバラツキや抵抗値のバラツキが生じて、各装置毎に、アナログ回路であるセンサ15からのアナログ映像信号のノイズ成分

を最小にする最適なクロック位相差発生回路を選択できるのである。

#### 【 0 0 3 2 】

すなわち、本実施の形態においては、上記選択制御手段を k カウンタ 1 9 とスイッチ群 3 4 とで構成し、上記位相シフト設定手段を比較回路 2 5 と選択回路 2 6 とスイッチ群 3 4 とで構成し、上記動作開始制御手段をスタート回路 2 8 で構成するのである。

#### 【 0 0 3 3 】

上述したように、本実施の形態においては、タイミングジェネレータ 1 2 からの A/D コンバータ 1 4 用の基本クロック信号 ADCK1 の位相をシフトして、クロック信号 ADCK2 を発生するクロック発生回路 1 3 を内蔵する。

#### 【 0 0 3 4 】

上記クロック発生回路 1 3 には、基本クロック信号 ADCK1 の位相を異なる所定値だけシフトさせて、クロック信号 ADCK2 として A/D コンバータ 1 4 に供給する k 個のクロック位相差発生回路 1 6 ~ 1 8 を設ける。そして、電源が投入されると、k カウンタ 1 9 によって、k 個のクロック位相差発生回路 1 6 ~ 1 8 を順次選択し、その都度 A/D コンバータ 1 4 からのデジタル映像信号中の遮光映像信号成分の最大値と最小値との差分値(ノイズ成分) E を求めて第 1 ~ 第 k レジスタ 2 2 ~ 2 4 に格納する。そして、比較回路 2 5 によって、k 個の差分値 E を比較して最小値の番号 j を求め、選択回路 2 6 によって、j 番目のクロック位相差発生回路(すなわち、A/D コンバータ 1 4 の出力信号に含まれるノイズ成分を最小にするクロック位相差発生回路)のみを固定的に選択するようにしている。

#### 【 0 0 3 5 】

したがって、製造段階で、個々の A/D コンバータ内蔵 CMOS 型固体撮像装置毎にトランジスタ特性や抵抗値にバラツキが生じたとしても、各装置別に、センサ 1 5 の出力信号に含まれるノイズ成分が最小になるように基本クロック信号 ADCK1 の位相をシフトしたクロック信号 ADCK2 を A/D コンバータ 1 4 に供給できるのである。

#### 【 0 0 3 6 】

< 第 2 実施の形態 >

図 1 におけるクロック発生回路 1 3 の構成は、図 2 に示す構成に限定されるものではない。本実施の形態は、クロック発生回路 1 3 の他の回路構成に関するものである。

## 【 0 0 3 7 】

図 4 は、図 1 におけるクロック発生回路 1 3 の上記第 1 実施の形態とは異なる構成を示すブロック図である。図 4 において、第 1 ～第 k クロック位相差発生回路 4 1 ～4 3 , スイッチ群 4 4 , スタート回路 4 5 , k カウンタ 4 6 , スイッチ 4 7 , スイッチ群 5 1 , 第 1 ～第 k レジスタ 5 2 ～5 4 , 比較回路 5 5 および選択回路 5 6 は、図 2 に示す上記第 1 実施の形態における第 1 ～第 k クロック位相差発生回路 1 6 ～1 8 , スイッチ群 3 4 , スタート回路 2 8 , k カウンタ 1 9 , スイッチ 3 3 , スイッチ群 3 1 , 第 1 ～第 k レジスタ 2 2 ～2 4 , 比較回路 2 5 および選択回路 2 6 と同じ構成を有している。

## 【 0 0 3 8 】

本実施の形態においては、上記 A/D コンバータ 1 4 からのデジタル映像信号に含まれるノイズ成分の測定を、デジタル映像信号における上記遮光映像信号成分の最大値と最小値との差ではなく、1 V 期間における全遮光映像信号成分の分散  $\sigma^2$  を算出することによって行う。

## 【 0 0 3 9 】

すなわち、本実施の形態においては、ノイズ測定回路 5 0 をメモリ 4 8 と  $\sigma^2$  値計算回路 4 9 とで構成するのである。そして、メモリ 4 8 は、ウィンドウパルス信号 WIND のレベルが「H」の間だけオンするスイッチ 4 7 によって取り込まれた 1 V 期間分の上記遮光映像信号成分の総てを保持する。また、 $\sigma^2$  値計算回路 4 9 は、垂直同期信号 VD をトリガとして 1 V 期間分の上記遮光映像信号成分の分散  $\sigma^2$  を算出するのである。ここで、上記分散  $\sigma^2$  値とは

$$\sigma^2 = (2 \text{ 乗平均} - \text{平均値の} 2 \text{ 乗})$$

を表している。

## 【 0 0 4 0 】

こうして算出された分散  $\sigma^2$  は、上記第 1 ～第 k レジスタ 5 2 ～5 4 のうち k カウンタ 4 6 によって選択されたレジスタに書き込まれるのである。その後は、

上記第 1 実施の形態の場合と同様にして、第 1 ～第 k クロック位相差発生回路 4 1 ～4 3 のうち最も発生するノイズ成分の少ないクロック位相差発生回路のみを固定的に選択するのである。

【0 0 4 1】

### ＜第 3 実施の形態＞

上記第 2 実施の形態のごとく、上記ノイズ成分の測定方法として種々の方法が考えられる。しかしながら、クロック発生回路 1 3 の動作期間においては、温度が上昇したりあるいは電源電圧が変動したりする場合があります、その場合には上記第 1 , 第 2 実施の形態でもトランジスタ特性の変動が発生してしまう。このように、必ずしも動作初期に選択したクロック位相差発生回路が、最適なクロック位相差発生回路であるとは限らない場合が生ずる。

【0 0 4 2】

本実施の形態は、このような場合に対処できるクロック発生回路に関するものである。上記第 1 , 第 2 実施の形態におけるクロック発生回路 1 3 の場合には、電源を投入して安定した後の初期状態の k V 期間においてのみ最適なクロック位相差発生回路を選択している。これに対して、本実施の形態におけるクロック発生回路の場合には、初期に k V 期間において最適な位相差発生回路を選択した後、さらに所定期間 (T 2) 後に再び k V 期間において最適な位相差発生回路を選択するのである。

【0 0 4 3】

図 5 は、本実施の形態におけるクロック発生回路 6 1 の回路構成を示す図である。図 5 において、第 1 ～第 k クロック位相差発生回路 6 2 ～6 4 , スイッチ群 6 5 , スタート回路 6 6 , k カウンタ 6 8 , スイッチ 6 9 , 最大値保持回路 7 0 , 最小値保持回路 7 1 , 減算器 7 2 , ノイズ測定回路 7 3 , スイッチ群 7 4 , 第 1 ～第 k レジスタ 7 5 ～7 7 , 比較回路 7 8 および選択回路 7 9 は、図 2 に示す上記第 1 実施の形態における第 1 ～第 k クロック位相差発生回路 1 6 ～1 8 , スイッチ群 3 4 , スタート回路 2 8 , k カウンタ 1 9 , スイッチ 3 3 , 最大値保持回路 2 0 , 最小値保持回路 2 1 , 減算器 3 0 , ノイズ測定回路 2 7 , スイッチ群 3 1 , 第 1 ～第 k レジスタ 2 2 ～2 4 , 比較回路 2 5 及び選択回路 2 6 と同じ構成を有している。



## 【 0 0 4 4 】

本実施の形態においては、所定期間  $T_2$  が経過すると  $k$  カウンタ 6 8 を動作させる上記計時手段としてのタイマー回路 6 7 を備えている。そして、 $k$   $V$  期間の終了時に  $k$  カウンタ 6 8 から出力されるカウント終了パルス  $CF$  によって、タイマー回路 6 7 をセットする。そうすると、上記所定期間  $T_2$  が経過した後に再び  $k$  カウンタ 6 8 が動作され、再度  $k$   $V$  期間において最適な位相差発生回路が選択される。以後、この動作が繰り返されて、上記所定期間  $T_2$  が経過する毎に最適な位相差発生回路が選択されるのである。

## 【 0 0 4 5 】

ところで、通常、上記タイマー回路 6 7 の所定時間  $T_2$  はスタート回路 6 6 の所定時間  $T_1$  に比べて十分長い。これは、温度上昇や電源電圧の変動が瞬時に起こることはあり得ないためである。

## 【 0 0 4 6 】

上述のように、本実施の形態においては、初期に  $k$   $V$  期間において最適な位相差発生回路を選択した後に、タイマー回路 6 7 によって、さらに所定期間  $T_2$  が経過する毎に最適なクロック位相差発生回路を選択するようにしている。したがって、 $A/D$  コンバータ内蔵  $CMOS$  型固体撮像装置の動作期間中に、温度上昇や電源電圧の変動によって、上記センサ駆動パルス信号に対する基本クロック信号  $ADCK1$  の最適な位相のずれ量に変化した場合でも、常にノイズ成分の少ないデジタル映像信号を出力することが可能になるのである。

## 【 0 0 4 7 】

尚、上記各実施の形態においては、上記センサ 1 5 へのセンサ駆動パルス信号の位相に対する  $A/D$  コンバータ 1 4 への基本クロック信号  $ADCK1$  の位相をシフトするようにしている。しかしながら、基本クロック信号  $ADCK1$  の位相に対するセンサ駆動パルス信号の位相をシフトしても一向に構わない。

## 【 0 0 4 8 】

また、上記各実施の形態においては、 $A/D$  コンバータ内蔵  $CMOS$  型固体撮像装置の場合を例に挙げて説明したが、一般的なデジタル・アナログ混載型の半導体集積回路であっても適用できるのは言うまでもない。

【 0 0 4 9 】

【発明の効果】

以上より明らかなように、この発明のデジタル・アナログ混載型の半導体集積回路は、アナログ回路用の第1クロック信号とデジタル回路用の第2クロック信号との何れか一方の位相を相対的に異なる値だけシフトする複数の位相シフト回路と、上記アナログ回路で発生するノイズ成分を測定するノイズ測定回路を、上記アナログ回路及びデジタル回路と同一半導体基板上に備えたので、各位相シフト回路を順次選択した際に発生する上記ノイズ成分を測定することによって、上記ノイズ成分を最小にする位相シフト回路を選定することが可能になる。

【 0 0 5 0 】

したがって、製造段階で、各半導体集積回路毎にトランジスタ特性や抵抗値にバラツキが生じて、上記選定された位相シフト回路を固定的に選択することによって、以後、上記アナログ回路で発生するノイズ成分を最小に抑えることができる。

【 0 0 5 1 】

また、この発明の半導体集積回路は、選択制御手段によって上記複数の位相シフト回路を順次入れ換えて選択し、位相シフト設定手段によって、上記ノイズ成分を最小にする位相シフト回路のみを固定的に選択して位相シフト値を設定すれば、製造段階で、各半導体集積回路毎にトランジスタ特性や抵抗値にバラツキが生じて、上記位相シフト値を設定した後は、上記アナログ回路で発生するノイズ成分を最小に抑えることができる。

【 0 0 5 2 】

また、この発明の半導体集積回路は、上記位相シフト回路の個数を $k$  ( $k$  : 正の整数)個とし、上記ノイズ測定回路によって上記ノイズ成分を $k$ 回測定するようにすれば、上記複数の位相シフト回路の順次選択と上記ノイズ成分の測定値読み出しとを同期させることができる。したがって、上記位相シフト回路の順次選択を行う選択制御手段によって、上記ノイズ測定回路による測定結果の読み出しを制御することができる。

【 0 0 5 3 】

また、この発明の半導体集積回路は、電源が投入されてから安定動作になるための第 1 所定時間が経過すると上記選択制御手段の動作を開始させる動作開始制御手段を備えれば、上記ノイズ成分を最小にする位相シフト回路を安定して選定することができる。

## 【 0 0 5 4 】

また、この発明の半導体集積回路は、上記選択制御手段による上記位相シフト回路の順次選択が終了してから第 2 所定時間を計時して上記選択制御手段を動作させる計時手段を備えて、上記位相シフト回路の順次選択を上記第 2 所定時間の間隔で繰り返し行うようにすれば、動作期間中に、温度上昇や電源電圧の変動によって、上記電源投入後に設定された位相シフト値にずれが生じて、常に、上記アナログ回路で発生するノイズ成分を最小に抑えることができる。

## 【 0 0 5 5 】

また、この発明の半導体集積回路は、上記アナログ回路を固体撮像素子アレイとし、上記ノイズ成分を上記固体撮像素子アレイから出力される 1 水平有効期間中の遮光された領域の映像信号に重畳されたノイズ成分とし、上記選択制御手段による上記位相シフト回路の順次選択を垂直期間に同期して行えば、上記固体撮像素子アレイからの映像信号に重畳されたノイズ成分を最小にするように、上記位相シフト値を設定することができる。

## 【 0 0 5 6 】

したがって、製造段階で、各半導体集積回路毎にトランジスタ特性や抵抗値にバラツキが生じて、上記位相シフト値が設定された後は、固体撮像素子アレイからの映像信号に重畳されたノイズ成分を最小に抑えることができる。

## 【図面の簡単な説明】

【図 1】 この発明の半導体集積回路としての A/D コンバータ内蔵 CMOS 型固体撮像装置におけるブロック図である。

【図 2】 図 1 におけるクロック発生回路の具体的なブロック図である。

【図 3】 図 1 における A/D コンバータからのデジタル映像信号のタイミング図である。

【図 4】 図 2 とは異なるクロック発生回路のブロック図である。

【図 5】 図 2 及び図 4 とは異なるクロック発生回路のブロック図である。

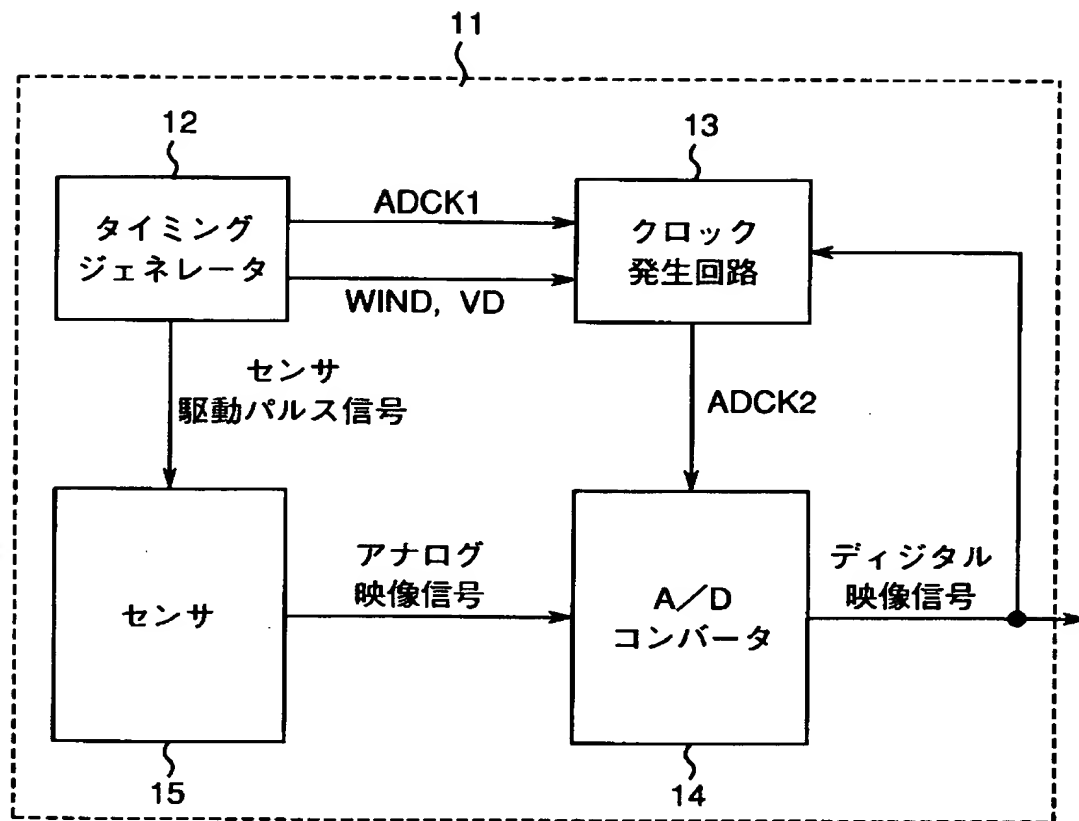
【図 6】 従来の A/D コンバータ内蔵 CMOS 型固体撮像装置のブロック図である。

【符号の説明】

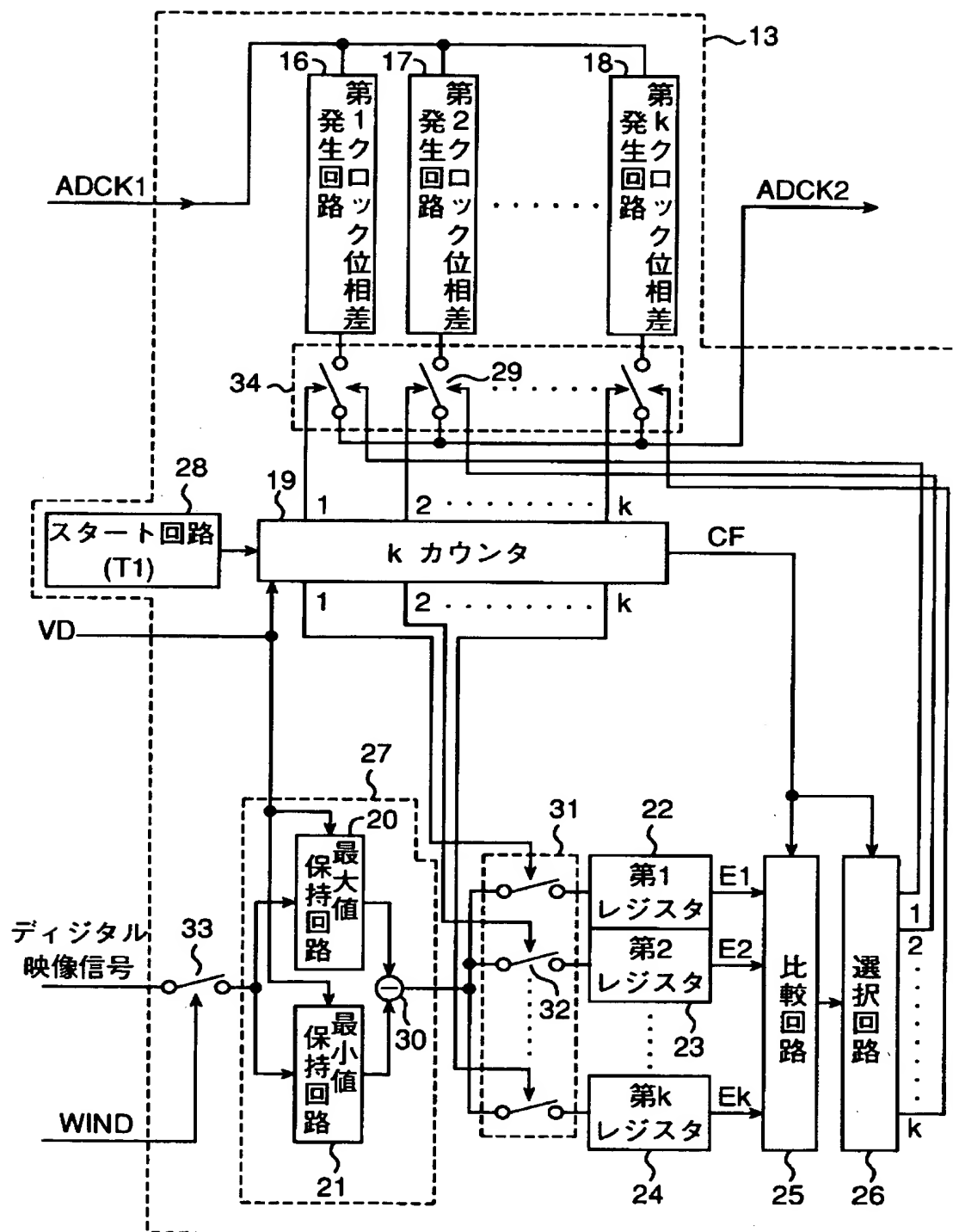
1 1 … A/D コンバータ内蔵 CMOS 型固体撮像装置、  
1 2 … タイミングジェネレータ、  
1 3 , 6 1 … クロック発生回路、  
1 4 … A/D コンバータ、  
1 5 … センサ、  
1 6 ~ 1 8 , 4 1 ~ 4 3 , 6 2 ~ 6 4 … 第 1 ~ 第 k クロック位相差発生回路、  
1 9 , 4 6 , 6 8 … k カウンタ、  
2 0 , 7 0 … 最大値保持回路、  
2 1 , 7 1 … 最小値保持回路、  
2 2 ~ 2 4 , 5 2 ~ 5 4 , 7 5 ~ 7 7 … 第 1 ~ 第 k レジスタ、  
2 5 , 5 5 , 7 8 … 比較回路、  
2 6 , 5 6 , 7 9 … 選択回路、  
2 7 , 5 0 , 7 3 … ノイズ測定回路、  
2 8 , 4 5 , 6 6 … スタート回路、  
3 0 , 7 2 … 減算器、  
3 1 , 3 4 , 4 4 , 5 1 , 6 5 , 7 4 … スイッチ群、  
3 3 , 4 7 , 6 9 … スイッチ、  
4 8 … メモリ、  
4 9 …  $\sigma^2$  値計算回路、  
6 7 … タイマー回路。

【書類名】 図面

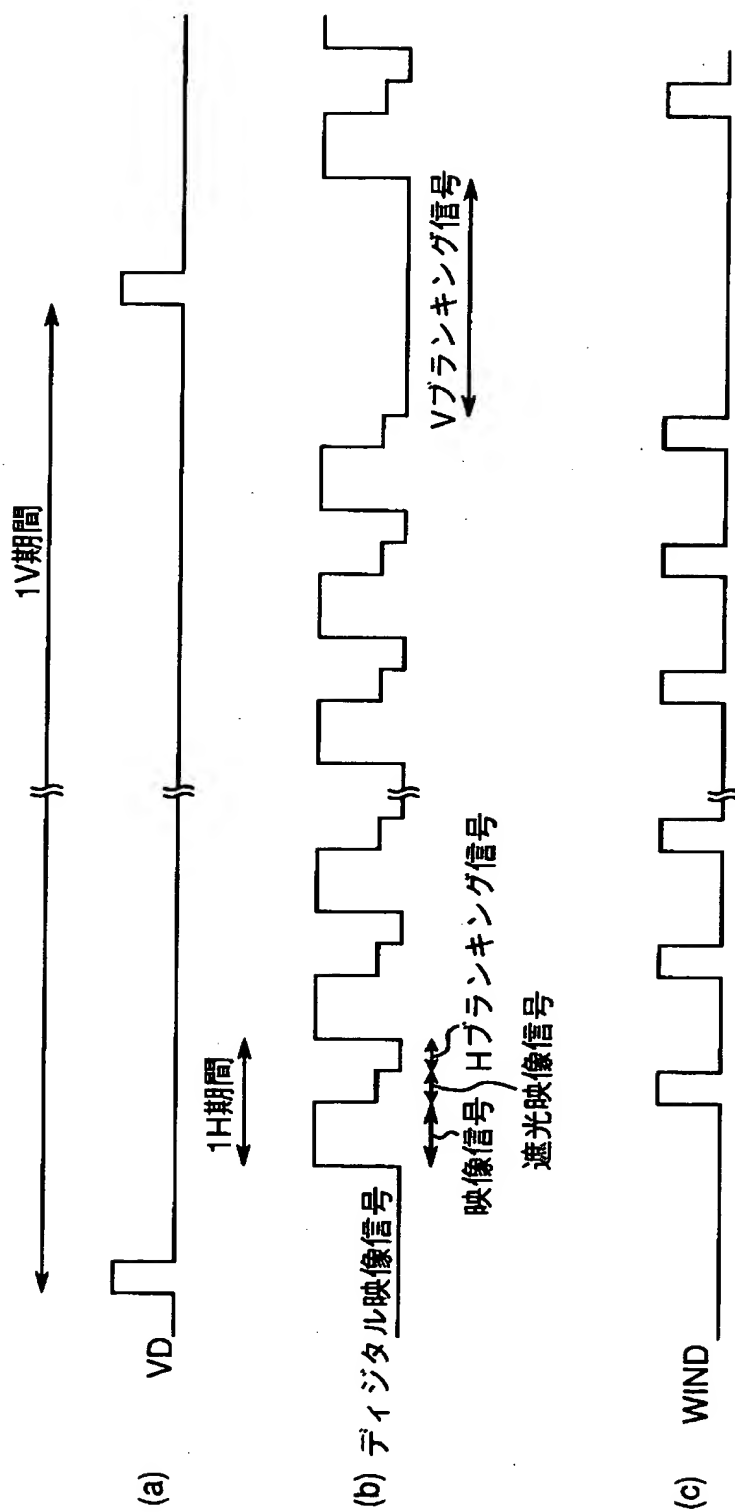
【図 1】



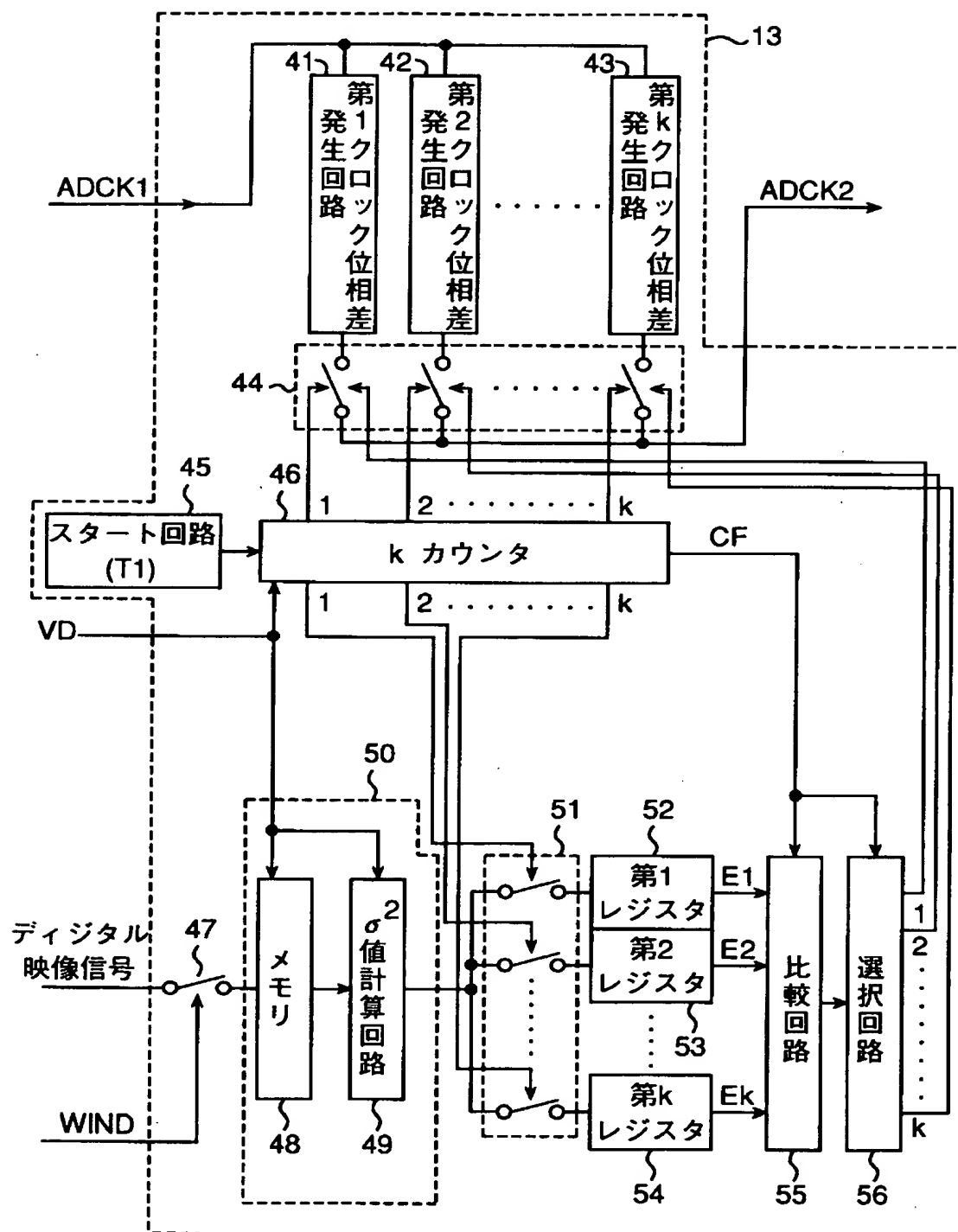
【図 2】



【図 3】

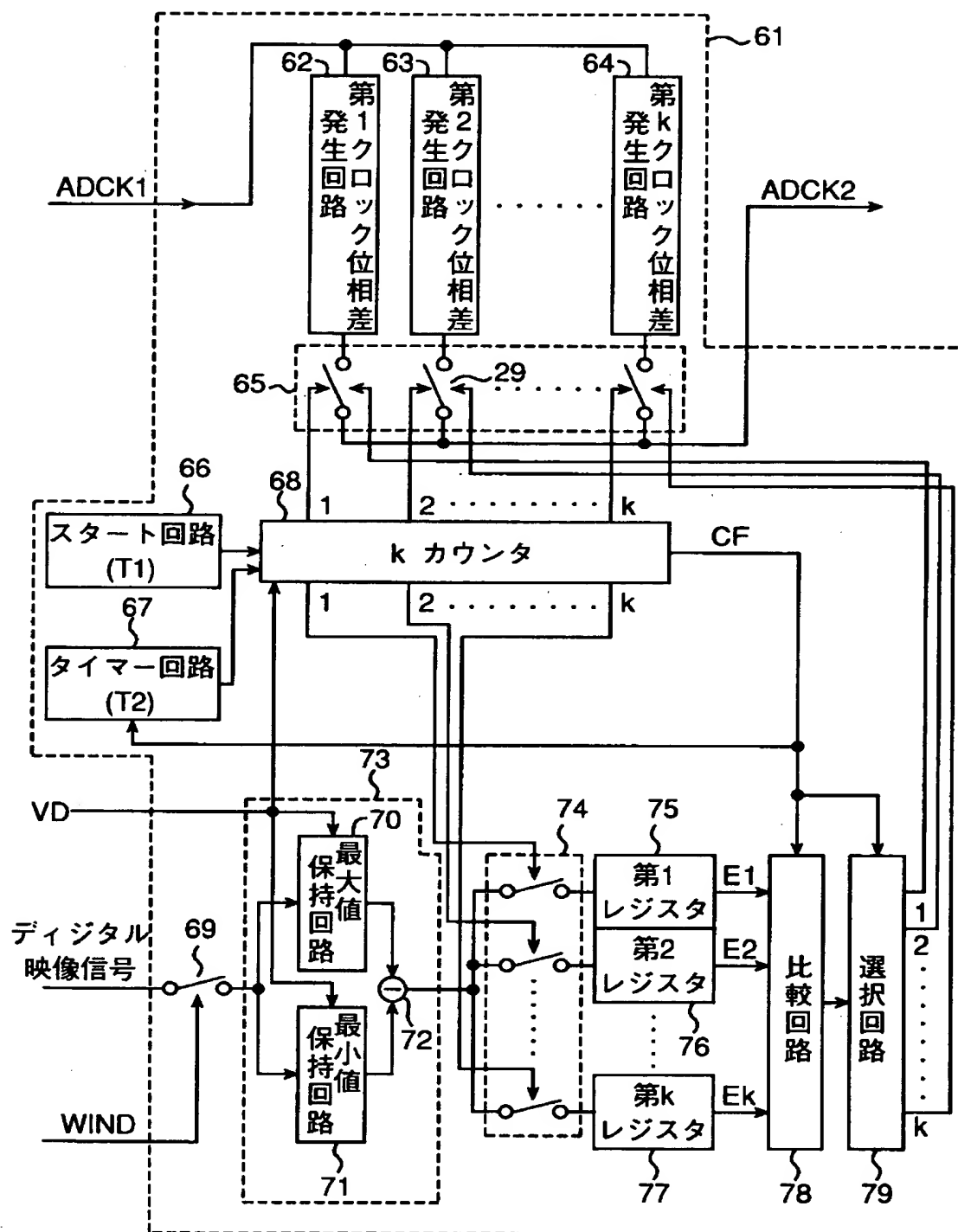


【図 4】

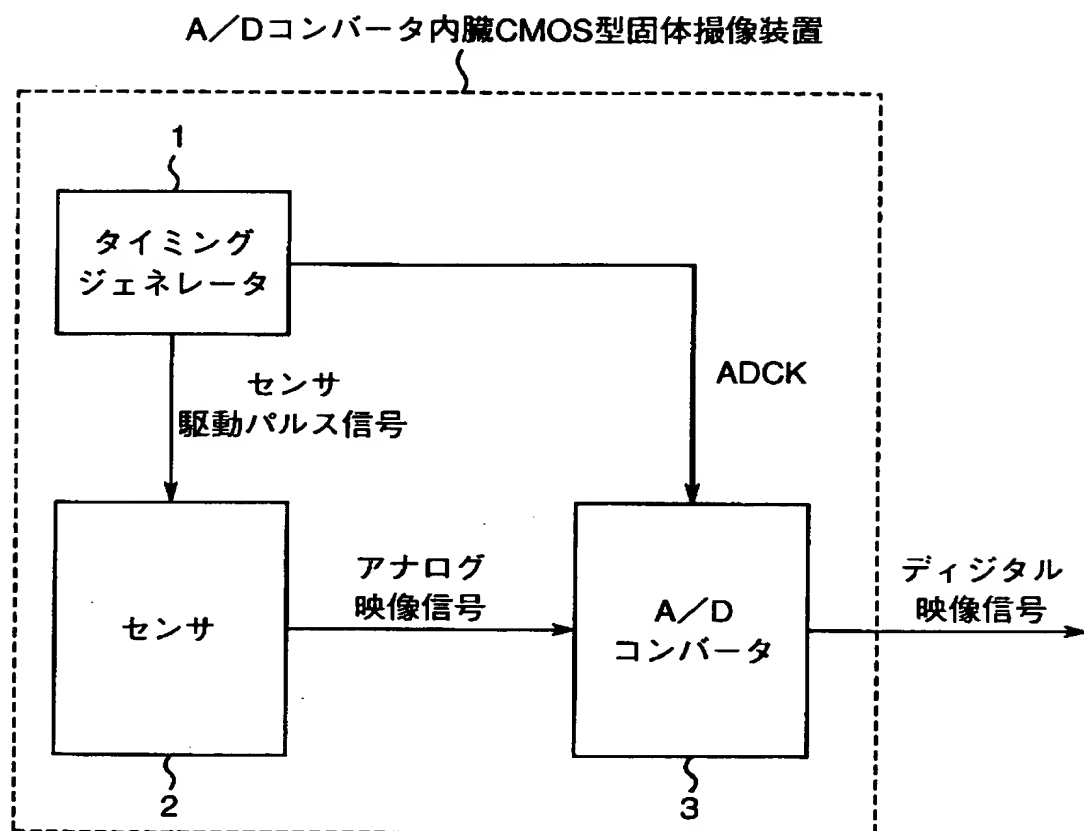




【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 トランジスタ特性や抵抗値等に製造バラツキが発生しても常にノイズ成分を最小にする。

【解決手段】  $k$  個のクロック位相差発生回路 16～18 は、基本クロック信号 ADCK1 の位相を異なる所定値だけシフトしてクロック信号 ADCK2 として A/D コンバータに供給する。 $k$  カウンタ 19 は、各クロック位相差発生回路 16～18 を順次選択し、その都度ノイズ測定回路 27 で測定された A/D コンバータの出力のノイズ成分を対応するレジスタに格納する。比較回路 25 は、 $k$  個のノイズ成分を比較して最小値の番号  $j$  を求める。選択回路 26 は、 $j$  番目のクロック位相差発生回路のみを固定的に選択する。こうして、製造段階で、個々の装置毎にトランジスタ特性や抵抗値にバラツキが生じたとしても、各装置別に、ノイズ成分が最小になるように基本クロック信号 ADCK1 の位相をシフトしたクロック信号 ADCK2 を A/D コンバータに供給できる。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号  
氏 名 シャープ株式会社